

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

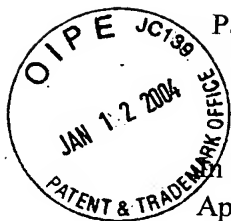
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Patent

Customer No. 31561
Application No.: 10/604,763
Docket No. 11286-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

in re application of

Applicant : Hsu et al.
Application No. : 10/604,763
Filed : August 14, 2003
For : METHOD FOR FABRICATING MEMORY DEVICE
HAVING A DEEP TRENCH CAPACITOR

Examiner :

Art unit: 2812

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

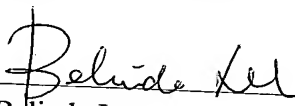
Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:
092115650, filed on: 2003/06/10.

A return prepaid postcard is also included herewith.

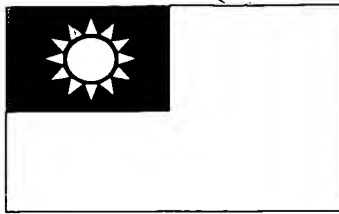
Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Jan. 8, 2004

By: 
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234

22



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 06 月 10 日
Application Date

申請案號：092115650
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 28 日
Issue Date

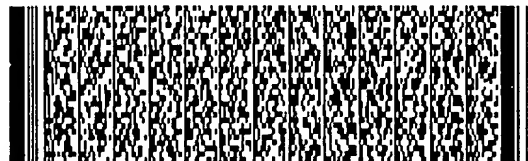
發文字號：09220866010
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	具有深溝渠式電容器之記憶元件的製造方法
	英 文	METHOD OF FABRICATING MEMORY DEVICE HAVING A DEEP TRENCH CAPACITOR
二、 發明人 (共2人)	姓 名 (中文)	1. 許平 2. 吳國堅
	姓 名 (英文)	1. HSU PING 2. Kuo-Chien Wu
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北縣中和市忠孝街106巷4號 2. 苗栗市中苗里中正路547號
	住居所 (英 文)	1. No. 4, Lane 106, Jhongsiao St., Jhonghe City, Taipei County, 235, Taiwan (R.O.C.) 2. No. 547, Jungjeng Rd., Miaoli City, Taiwan 360, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. NANYA TECHNOLOGY CORPORATION
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. HWA-YA TECHNOLOGY PARK 669, FUHSING 3 RD. KUEISHAN, TAoyuan, TAIWAN, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



四、中文發明摘要 (發明名稱：具有深溝渠式電容器之記憶元件的製造方法)

一種具有深溝渠式電容器之記憶元件的製造方法，其電容器之上電極的製造方法係在基底中所形成的深溝渠的下部與中部先形成第一導電層，接著，在深溝渠的上部形成一未摻雜半導體層，之後，在基底上形成一單幕層，單幕層係覆蓋形成在深溝渠之邊緣處之未摻雜半導體層中靠近相鄰行預定形成之主動區的部分，然後，進行離子植入，以在未被單幕層覆蓋的未摻雜半導體層中植入摻雜，形成第二導電層。

伍、(一)、本案代表圖為：第____7____圖

(二)、本案代表圖之元件代表符號簡單說明：

100：基底

102：墊氧化層

104：氮化矽層

106、106a、106b：溝渠

六、英文發明摘要 (發明名稱：METHOD OF FABRICATING MEMORY DEVICE HAVING A DEEP TRENCH CAPACITOR)

A method of fabricating a memory device having a deep trench capacitor is described. A first conductive layer is formed in the lower and middle portions of a deep trench in a substrate. An undoped semiconductor layer is formed in the upper portion of the deep trench. A mask layer is formed on the substrate. The mask layer covers the undoped semiconductor layer in the edge

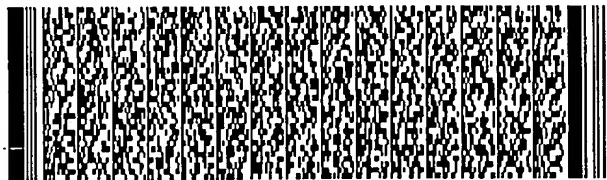


四、中文發明摘要 (發明名稱：具有深溝渠式電容器之記憶元件的製造方法)

108 : 摻雜區
110 : 介電層
112、118 : 導電層
114 : 氧化層
116 : 氮氧化層
120 : 未摻雜半導體層
122、122a、122b : 主動區
124、124a : 抗反射層
126、126a、126b : 光阻層
128 : 離子植入

六、英文發明摘要 (發明名稱：METHOD OF FABRICATING MEMORY DEVICE HAVING A DEEP TRENCH CAPACITOR)

regions adjacent to neighboring predetermined active regions of the deep trench. An ion implantation process is performed to implant dopants into the undoped semiconductor layer exposed by the mask layer so as to form a second conductive layer. The first and the second conductive layers construct the upper electrode of the deep trench capacitor.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

發明所屬之技術領域

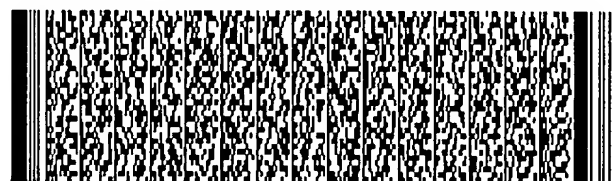
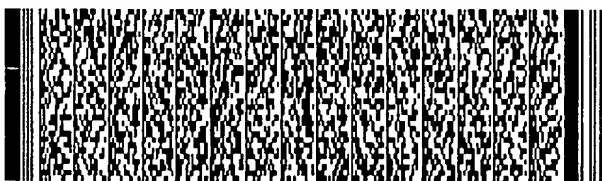
本發明是有關於一種記憶元件的製造方法，且特別是有關於一種具有深溝渠式電容器之記憶元件的製造方法。

先前技術

隨著元件不斷地小型化，元件的尺寸逐漸縮小，對於具有電容器之記憶元件而言，可以製作電容器的空間愈來愈小。溝渠式電容器記憶元件是一種利用基底中的空間製作電容器以爭取面積的元件，因此，非常符合目前市場的需求。

習知一種溝渠式電容器的製作方法係以沉積多層摻雜複晶矽層來製作上電極，其用來製作上電極中的最上層摻雜複晶層係先在深溝渠中形成一層非晶矽層，然後，再於反應室中通入氣態砷30分鐘，以使砷吸附非晶矽層上，其後再沉積未摻雜的複晶矽。之後，再利用後續的熱製程，以使摻雜活化擴散至未摻雜的複晶矽層之中，並使得非晶矽層轉為複晶矽。

在上述習知方法中，吸附在非晶矽層上的砷離子在擴散至未摻雜的複晶矽層的同時，亦有可能會擴散到深溝渠周緣的基底之中，而使得深溝渠周緣的基底亦具有砷摻雜。在後續定義主動區時，若是發生錯誤對準，使得所形成的主動區偏移至深溝渠的周緣時，位於深溝渠周緣的主動區之通道區將因為具有高濃度的砷摻雜，而導致後續形成的閘極產生次起始電壓，使得元件無法正常開關。若要避免在原来的深溝渠設計尺寸下進行電容器的製作，又要避免



五、發明說明 (2)

定義主動區錯誤對準所導致的問題，習知的疊對裕度 (Overlay margin) 將變得非常小。為了增加疊對裕度，習知一種做法係藉由縮小深溝渠的尺寸來達到目的。然而，深溝渠之開口的尺寸縮小將會衍生負載效應 (Loading effect)，使得蝕刻深溝渠的深度受到限制，而影響最終形成之電容器的電容量。

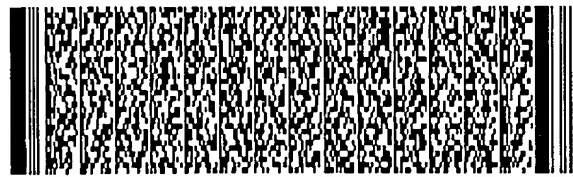
發明內容

因此本發明的目的就是在提供一種具有深溝渠式電容器之記憶元件的製造方法，其可以增加製程的疊對裕度。

本發明的再一目的就是在提供一種具有深溝渠式電容器之記憶元件的製造方法，其可以製造較大尺寸之電容器。

本發明的另一目的就是在提供一種具有深溝渠式電容器之記憶元件的製造方法，其可以避免電容器之上電極中的摻雜擴散至溝渠周緣的基底中。

本發明提出一種具有深溝渠式電容器之記憶元件的製造方法，其電容器之電極的製造方法係在基底中所形成的深溝渠的下部與中部先形成第一導電層，接著，在深溝渠的上部形成一未摻雜半導體層，之後，在基底上形成一單幕層，單幕層係覆蓋形成在深溝渠之邊緣處之未摻雜半導體層中靠近相鄰行預定形成之主動區的部分，然後，進行離子植入步驟，以在未被單幕層覆蓋的未摻雜半導體層中植入摻雜，而形成第二導電層，第二導電層係與第一導電層共同形成電容器之電極。



五、發明說明 (3)

依照本發明的較佳實施例所述，由於上述的第二導電層係夾在未摻雜半導體層之中，因此，未摻雜半導體層就相當於一緩衝層，其可以避免第二導電層之中的摻雜直接擴散到深溝渠周緣的基底之中。由於第二導電層之中的摻雜不會擴散到深溝渠周緣的基底之中，因此，後續在定義主動區時，具有較大的疊對裕度，即使發生錯誤對準而使所得定義出的主動區位在深溝渠的周緣處亦不會有習知因為摻雜擴散所造成的次起始電壓問題。

因此本發之具有深溝渠式電容器之記憶元件的製造方法可以增加製程的疊對裕度。

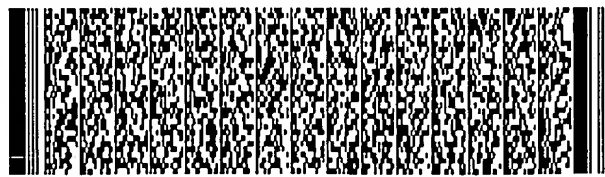
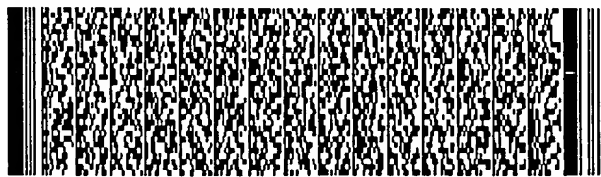
另一方面，因為本發明具較大的疊對裕度，因此，可以製造較大尺寸之電容器，而不會因為疊對裕度小，而必須縮小電容器。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式：

以下實施例係以動態隨機存取記憶體來說明本發明之具有溝渠式電容器之記憶元件，然而，其並非用以限定本發明。

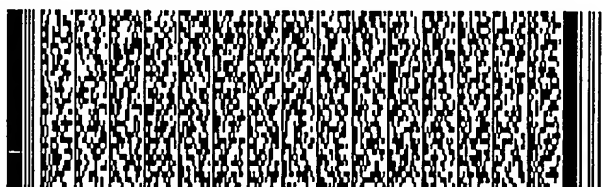
請參照第1圖，首先，在基底100上依序形成一層罩幕層，此罩幕層例如是一墊氧化層102與一氮化矽層104。墊氧化層102的形成方法例如是熱氧化法。氮化矽層104的形成方法例如是化學氣相沉積法。其後，將墊氧化層102與



五、發明說明 (4)

氮化矽層104圖案化，並蝕刻基底100，以在基底100中形成數個深溝渠106。深溝渠106的排列方式，例如是區分為數行，如第2圖圖式中的深溝渠106a與深溝渠106b即是分屬不同行。例如深溝渠106a屬偶數行；而深溝渠106b屬奇數行。同一行的深溝渠106中，任何二個相鄰但相距較遠的深溝渠106之間的區域122為預定作為主動區之區域。深溝渠106其開口的形狀係大致呈矩形，其邊角可被圓弧化而大致呈橢圓形。與鄰行之主動區122之延伸方向大致平行的一邊為短邊110與112。習知發生電極之摻雜擴散至基底周緣的區域，即是圖式中標記108所圈出的區域，而本發明之溝渠電容器的製造方法即可以克服習知的問題。

接著，請繼續參照第1圖，在深溝渠106的底部與下部周緣的基底100之中形成摻雜區108，其係用以作為電容器的下電極。之後，在深溝渠108底部與下部表面形成介電層110，並在介電層110之間的深溝渠106之中形成第一導電層112。介電層110與第一導電層112的形成方法例如是先基底100上依序形成一層薄介電層與填滿深溝渠106的導電材料層，例如是一層氧化矽層與一層摻雜複晶矽層，之後，再利用化學機械研磨製程研除覆蓋在氮化矽層104上方的導電材料層，再回蝕刻位在深溝渠106之中的部分導電材料層，以形成第一導電層112，其後，浸蝕去除位於氮化矽層104上方、深溝渠106上部與中部的介電層，留下第一導電層112周緣的介電層110。之後，進行一回火製程，以修復第一導電層112，此時，深溝渠106中部與上部



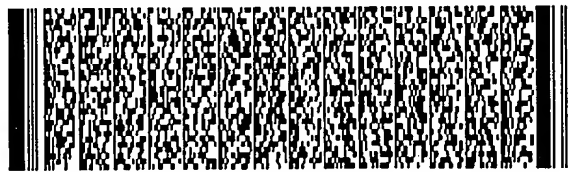
五、發明說明 (5)

的側壁表面將因為回火而形成一層氧化層，此氧化層在後續的浸蝕製程之後將形成氧化層114。

之後，請繼續參照第1圖，在深溝渠106的中部的氧化層114周緣形成領氧化層116，並於領氧化層114之間的深溝渠106之中形成第二導電層118。其形成的方法例如是在上述回火製程之後所形成的氧化層上先形成一層化學氣相沉積法所形成之領氧化層，然後進行回蝕，以去除覆蓋在第一導電層表面上的領氧化層，留下位於深溝渠106側壁的氧化層與領氧化層。之後，再於基底100上形成一層導電材料層，例如是一層摻雜複晶矽層，然後，進行化學機械研磨製程研除氮化矽層104表面上的導電材料層，再進行回蝕，以留下位於深溝渠106之中部的第二導電層118。其後，再浸蝕氧化層與領氧化層，以留下位於第二導電層118周緣的氧化層114與領氧化層116。

其後，請參照第3圖，在基底100上形成一層未摻雜的半導體層120，此未摻雜的半導體層120例如是一層以化學氣相沉積法所沉積的無摻雜複晶矽層。

接著，請參照第4圖，去除深溝渠106以外的未摻雜半導體層120，留下位於深溝渠106上部的部分120a。例如，先進行化學機械研磨製程研除覆蓋在氮化矽層104上的未摻雜半導體層120，再進行回蝕刻以形成之。此時，如第5圖所示，由基底100的上方觀之，基底100上係覆蓋著具有深溝渠106之開口圖案的氮化矽層104，並且深溝渠106之中係填著未摻雜的半導體層120。

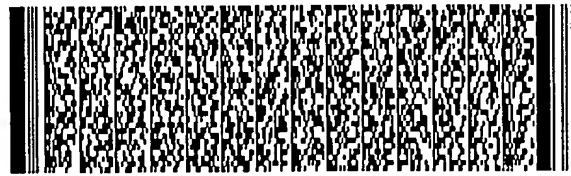


五、發明說明 (6)

接著，請參照第6圖，在基底100上形成一層圖案化的罩幕層，例如是一層圖案化的光阻層126。較佳者係在形成圖案化光阻層126之前先形成一層抗反射層124。

之後，請參照第7圖，將未被光阻層126覆蓋的抗反射層124去除，留下抗反射層124a。其後，以光阻層126以及氮化矽層104為植入罩幕，進行離子植入製程128，將摻雜植入未摻雜的半導體層120a之中，形成第三導電層120b。

請參照第8圖，值得注意的是，本發明之光阻層126係覆深溝渠106之區域108，此區域108即是深溝渠106中靠近相鄰行預定形成之主動區122之邊緣處。以深溝渠106a來說，深溝渠106a靠近鄰行之主動區122b之邊緣處，即是矩形深溝渠106a的短邊110與112之周緣處，為區域108a與108b。在本實施例中，光阻層126係成長條狀，並且係覆蓋相鄰兩行之深溝渠106中相鄰的區域108，更具體來說，深溝渠106a之短邊112周緣的區域108b與相鄰行之深溝渠106b其短邊110周緣的區域108a，被同一長條狀之光阻層126a所覆蓋；而深溝渠106a之短邊110周緣的區域108a與相鄰行之深溝渠106b其短邊112周緣的區域108b，則被同一長條狀之光阻層126b所覆蓋。在進行離子植入製程128之後，深溝渠106中未被光阻層126覆蓋的未摻雜半導體層120a，將被摻雜，而形成第三導電層120b；而深溝渠106中被光阻層126覆蓋的未摻雜半導體層120a，則不會被植入摻雜。第三導電層120b、第二導電層118與第一導電層112係作為電容器之上電極。



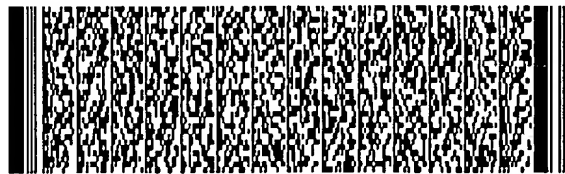
五、發明說明 (7)

之後，請參照第9圖與第10圖，去除光阻層126與抗反射層124，並在基底100上形成另一層用以定義主動區122之罩幕層130。此罩幕層130例如是一層光阻層，其係覆蓋預定形成主動區122之處，即覆蓋深溝渠106中部分的第三導電層120b以及同一行兩相鄰但相距較遠之深溝渠106之間的氮化矽層104。之後，以罩幕層130為蝕刻罩幕，蝕刻未被其所覆蓋的氮化矽層104及其下方的墊氧化層102與基底100以及未被其所覆蓋之未摻雜半導體層120a與第三導電層120b，以在基底100中形成淺溝渠131。

之後，請參照第11圖，在基底100上形成一絕緣層132，以覆蓋氮化矽104並填滿淺溝渠131。絕緣層132之材質例如是氧化矽，形成的方法例如是高密度電漿化學氣相沉積法(HDPCVD)。

其後，請參照第12圖，以化學機械研磨法將覆蓋在氮化矽層104上的絕緣層132去除，之後，再進行回蝕刻，以留下位於淺溝渠131之中絕緣層132a，用以作為隔離結構。當隔離結構132a形成之後，則已在基底100定義出數個主動區122。

之後，請參照第13圖與第14圖，去除氮化矽層104與墊氧化層102，接著，在主動區122上形成一層閘介電層134，接著，再形成圖案化的閘極導電層136。閘介電層134之材質例如為氧化矽，形成的方法例如是熱氧化法。閘極導電層136之材質例如為摻雜的複晶矽，形成的方法例如為化學氣相沉積法。閘極導電層136係沿著列的方向

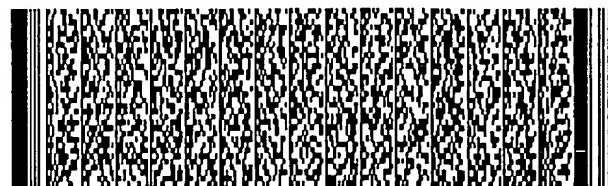
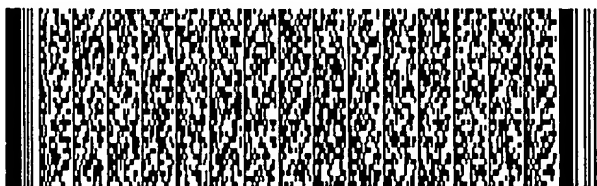


五、發明說明 (8)

延伸，即與主動區122之延伸方向大致垂直，因此其係跨過不同行之主動區122。而對於各主動區122而言，其上係形成兩列閘極導電層136。之後，再於主動區122中形成源極/汲極區138、140。其後，再於源極/汲極區138、140上形成接觸窗。之後，再進行後段製程，在此不再贅述。

依照上述實施例所述，本發明在定義主動區122時具有較大的疊對裕度。請參照第10圖，這是因為第三導電層120b其靠近鄰行之主動區122的兩側的區域108均具有未摻雜半導體層120a，因此，未摻雜半導體層120a就相當於緩衝層，其可以避免第三導電層120b之中的摻雜直接擴散到深溝渠106周緣的基底100之中。因此，後續在定義主動區時，即使發生錯誤對準而使得所定義出的主動區122位在深溝渠106的周緣，由於深溝渠106周緣為未摻雜的半導體層120a，因此，所定義出的主動區122的通道區並不會具有砷摻雜，當元件在操作時並不會有習知因為摻雜擴散至深溝渠周緣所造成的次啟始電壓的問題。故，本發明在定義主動區122時具有較大的疊對裕度。另一方面，因為本發明具較大的疊對裕度，因此，可以製造較大尺寸之電容器，而不會因為疊對裕度小，而必須縮小電容器之尺寸。因此，本發明之方法可以用來製造下一世代之深溝渠電容器，符合小型化之需求。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保



五、發明說明 (9)

護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1、3、4、6、7、9、11、12、13圖是依照本發明實施例所繪示之一種具有溝渠式電容器之記憶元件的製造流程剖面圖。

第2圖是第1圖之上視圖。

第5圖是第4圖之上視圖。

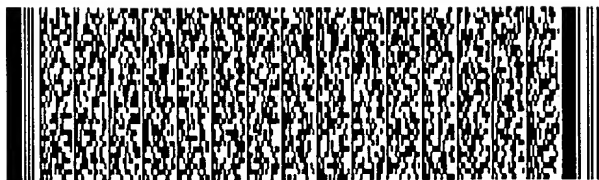
第8圖是第7圖之上視圖。

第10圖是第9圖之上視圖。

第14圖是第13圖之上視圖。

圖式標記說明：

- 100：基底
- 102：墊氧化層
- 104：氮化矽層
- 106、106a、106b：深溝渠
- 108：摻雜區
- 110：介電層
- 112、118、120b：導電層
- 114：氧化層
- 116：領氧化層
- 120、120a：未摻雜半導體層
- 122、122a、122b：主動區
- 124、124a：抗反射層
- 126、126a、126b：光阻層
- 128：離子植入
- 130：罩幕層



圖式簡單說明

- 131 : 淺溝渠
- 132 : 絕緣層
- 134 : 閘介電層
- 136 : 閘極導體層
- 138、140 : 源極/汲極區



六、申請專利範圍

1. 一種具有深溝渠式電容器之記憶元件的製造方法，該方法包括：

提供一基底；

在該基底中形成複數個深溝渠，該些深溝渠之開口大致呈長方形，各該深溝渠具有一第一短邊與一第二短邊，且該第一短邊與第二短邊相對應的任兩個深溝渠之間為一主動區預定區；

於各該深溝渠的下部與底部的周緣形成一摻雜區；

於各該深溝渠的下部側壁與底部的周緣形成一介電層；

於該溝渠下部與底部的該介電層之間形成一第一導電層；

於該深溝渠的中部形成一領氧化層；

於各該溝渠中之該領氧化層之間形成一第二導電層；

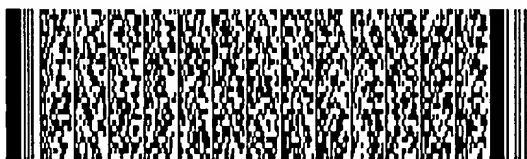
於各該深溝渠的上部形成一未摻雜半導體層；

於該些深溝渠其開口之一第一短邊與一第二短邊周緣以外的該些未摻雜半導體層中植入摻雜；

去除該深溝渠中之部分該第三導電層、部分該領氧化層與部分該基底，以在該基底中形成複數個淺溝渠；以及

於各該淺溝渠中填入一絕緣層，以形成複數個隔離結構，並同時在該些主動區域定義出複數個主動區。

2. 如申請專利範圍第1項所述之具有深溝渠式電容器之記憶元件的製造方法，其中於該基底中形成該些深溝渠的步驟包括：



六、申請專利範圍

於該基底上形成一圖案化的第一單幕層，該圖案化幕層具有複數個第一開口；以及

將該第一單幕層之第一開口圖案轉移至該基底，以在該基底中形成該些深溝渠。

3. 如申請專利範圍第1項所述之具有深溝渠式電容器之記憶元件的製造方法，其中於該些深溝渠其開口之短邊周緣以外的該些未摻雜半導體層中植入摻雜的步驟包括：

於該第一單幕層上形成一第二單幕層，該第二單幕層係覆蓋該些深溝渠其開口之該第一與第二短邊周緣的該些未摻雜半導體層；

以該第二單幕層與該第一單幕層為植入單幕，進行一離子植入步驟，以使離子植入該未摻雜半導體層中，而形成一第三導電層；以及

去除該第一單幕層與該第二單幕層。

4. 如申請專利範圍第3項所述之具有深溝渠式電容器之記憶元件的製造方法，其中形成該第二單幕的步驟包括：

於該基底上形成一抗反射層；

於該抗反射層上形成一圖案化光阻層，其裸露出溝渠中之部分該抗反射層；以及

去除未被該圖案化光阻所覆蓋之該抗反射層，裸露出部份該未摻雜半導體層。

5. 如申請專利範圍第3項所述之具有深溝渠式電容器



六、申請專利範圍

之記憶元件的製造方法，其中該些深溝渠包括彼此相鄰的
一第一行之複數個溝渠與一第二行之複數個深溝渠，且該
第二單幕包括第一長條單幕與一些深溝渠之該第一短邊周
緣的該些未摻雜半導體層以及與各該第二短邊周緣的該些
相鄰之各該第二行之該些深溝渠相鄰之各該第二行之該些
未摻雜半導體層，該第二短邊周緣的該些未摻雜半導體層以
及與該第一行之該些深溝渠相鄰之各該第一短邊周緣的該些
之該第一短邊周緣的該些未摻雜半導體層。

6. 如申請專利範圍第2項所述之具有深溝渠式電容器之記憶元件的製造方法，其中於各該深溝渠的上部形成一未摻雜半導體層的步驟包括：

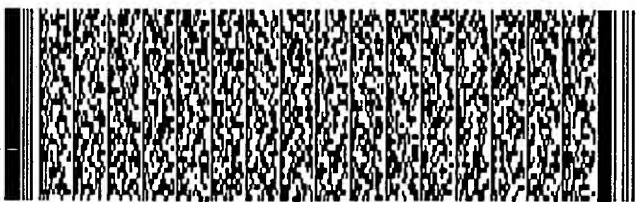
於該基底上形成一未摻雜半導體材料層，以填入該些深溝渠並覆蓋該第一單幕層；以及

進行一部份移除步驟，以去除覆蓋在該第一單幕層上之該未摻雜半導體材料層以及該些深溝渠中之部分該未摻雜半導體材料層。

7. 如申請專利範圍第6項所述之具有深溝渠式電容器之記憶元件的製造方法，其中該部份移除步驟包括：

進行一化學機械研磨製程，以去除覆蓋在該第一單幕層上之該未摻雜半導體材料層；以及

進行一回蝕刻製程，以移除該些深溝渠中之部分該未摻雜半導體材料層。



六、申請專利範圍

8. 如申請專利範圍第2項所述之具有深溝渠式電容器之記憶元件的製造方法，其中在該基底中形成該些淺溝渠的步驟包括：

於該基底上形成一第三罩幕層，該第三罩幕層具有一第二開口，其裸露出各該深溝渠中之部分該第三導電層、部分該領氧化層與部分該第一罩幕層；以及

去除該第二開口所裸露的部分該第三導電層、部分該領氧化層與該部分第一罩幕層及其下方之部分該基底，以在該基底中形成該些淺溝渠。

9. 如申請專利範圍第1項所述之具有深溝渠式電容器之記憶元件的製造方法，更包括下列步驟：

於該各主動區上形成一閘介電層；

於各該閘介電層上形成二圖案化閘極導體層；以及

於各該圖案化閘極導體層兩側的基底中形成複數個源極/汲極區。

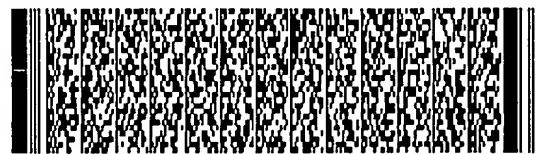
10. 一種具有深溝渠式電容器之記憶元件的製造方法，該方法包括：

提供一基底；

在該基底中形成複數個深溝渠，該些深溝渠區分為複數個第一行深溝渠與複數個第二行深溝渠，該些第一行深溝渠係與該些第二行深溝渠相交錯；

於各該深溝渠的下部與底部的周緣形成一摻雜區；

於各該深溝渠的下部側壁與底部的周緣形成一介電層；



六、申請專利範圍

於該溝渠下部與底部的該介電層之間形成一第一導層；

於該深溝渠的中部形成一領氧化層；

於各該溝渠中之該領氧化層之間形成一第二導電層；

於各該深溝渠的上部形成一未摻雜半導體層；

於部分該些未摻雜半導體層中植入摻雜；以及

在該基底中定義出複數個主動區，該些主動區係由一深溝渠延伸至同一行相距其較遠之相鄰的另一深溝渠，其中，各該深溝渠邊緣處靠近相鄰之該些主動區的部分為一第一區，且在部分該些未摻雜半導體層中植入摻雜時，該些第一區之該些未摻雜半導體層中未植入摻雜。

11. 如申請專利範圍第10項所述之具有深溝渠式電容器之記憶元件的製造方法，其中於該基底中形成該些深溝渠的步驟包括：

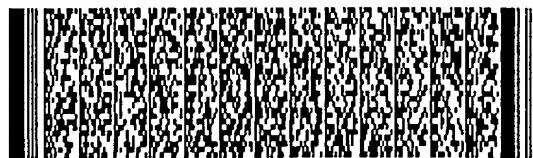
於該基底上形成一圖案化的第一罩幕層，該圖案化罩幕層具有複數個第一開口；以及

將該第一罩幕層之第一開口圖案轉移至該基底，以在該基底中形成該些深溝渠。

12. 如申請專利範圍第11項所述之具有深溝渠式電容器之記憶元件的製造方法，其中該在部分該些未摻雜半導體層中植入摻雜的步驟包括：

於該第一罩幕層上形成一第二罩幕層，該第二罩幕層係覆蓋該些第一區之該些未摻雜半導體層；

以該第二罩幕層與該第一罩幕層為植入罩幕，進行一



六、申請專利範圍

離子植入步驟，以使離子植入該些第一區以外的該未摻半導體層中，以在各該溝渠中形成一第三導電層；以及
去除該第一罩幕層與該第二罩幕層。

13. 如申請專利範圍第12項所述之具有深溝渠式電容器之記憶元件的製造方法，其中形成該第二罩幕的步驟包括：

於該基底上形成一抗反射層；

於該抗反射層上形成一圖案化光阻層，其裸露出該些第一區以外之部分該抗反射層；以及

去除未被該圖案化光阻覆蓋之該抗反射層，裸露出部份該未摻雜半導體層。

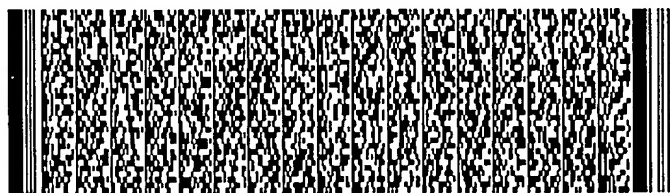
14. 如申請專利範圍第12項所述之具有深溝渠式電容器之記憶元件的製造方法，其中該第二罩幕呈複數個長條罩幕，其係覆蓋任二相鄰之該第一行與該第二行之該些深溝渠中相鄰之該些第一區之該些未摻雜半導體層。

15. 如申請專利範圍第11項所述之具有深溝渠式電容器之記憶元件的製造方法，其中於各該深溝渠的上部形成一未摻雜半導體層的步驟包括：

於該基底上形成一未摻雜半導體材料層，以填入該些深溝渠並且覆蓋該第一罩幕層；以及

進行一部分移除步驟，以去除覆蓋在該第一罩幕層上之該未摻雜半導體材料層以及該些深溝渠中之部分該未摻雜半導體材料層。

16. 如申請專利範圍第15項所述之具有深溝渠式電容



六、申請專利範圍

器之記憶元件的製造方法，其中該部分移除步驟包括：

進行一化學機械研磨製程以去除覆蓋在該第一單幕層上之該未摻雜半導體材料層；以及

進行一回蝕刻製程，以移除該些深溝渠中之部分該未摻雜半導體材料層。

17. 一種深溝渠式電容器之電極的製造方法，該方法包括：

提供一基底；

在該基底中形成複數個深溝渠，該些深溝渠區排列成複數行，其中同一行之各該深溝渠與與其相鄰但相距其較遠的另一深溝渠之間為一主動區，各該深溝渠邊緣處靠近相鄰之該些主動區的部分為一第一區；

於各該深溝渠之下部與中部形成一第一導電層；

於各該深溝渠上部之該第一區中形成一未摻雜半導體層；以及

於各該深溝渠上部之該第一區以外的區域中形成一第二導電層，其中該第一導電層與該第二導電層係作為該深溝渠式電容器之該電極。

18. 如申請專利範圍第17項所述之深溝渠式電容器之電極的製造方法，其中該些未摻雜半導體層與該些第二導電層的形成方法包括：

於各該深溝渠上部形成一未摻雜半導體材料層；

於該第一區之該未摻雜半導體材料層上形成一單幕層；



六、申請專利範圍

進行一離子植入步驟，以使離子植入該些第一區以外的該未摻雜半導體材料層中，形成該些第二導電層；以及去除該第二罩幕層，以裸露出該未摻雜半導體材料層。

19. 如申請專利範圍第18項所述之深溝渠式電容器之電極的製造方法，其中於各該深溝渠上部形成該未摻雜半導體材料層的步驟包括：

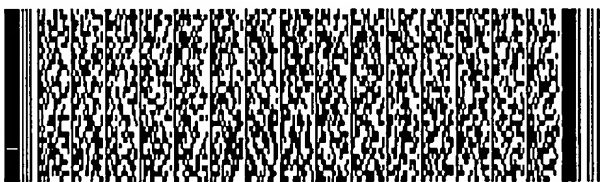
於該基底上形成一材料層，以填入該些深溝渠並且覆蓋該基底；以及

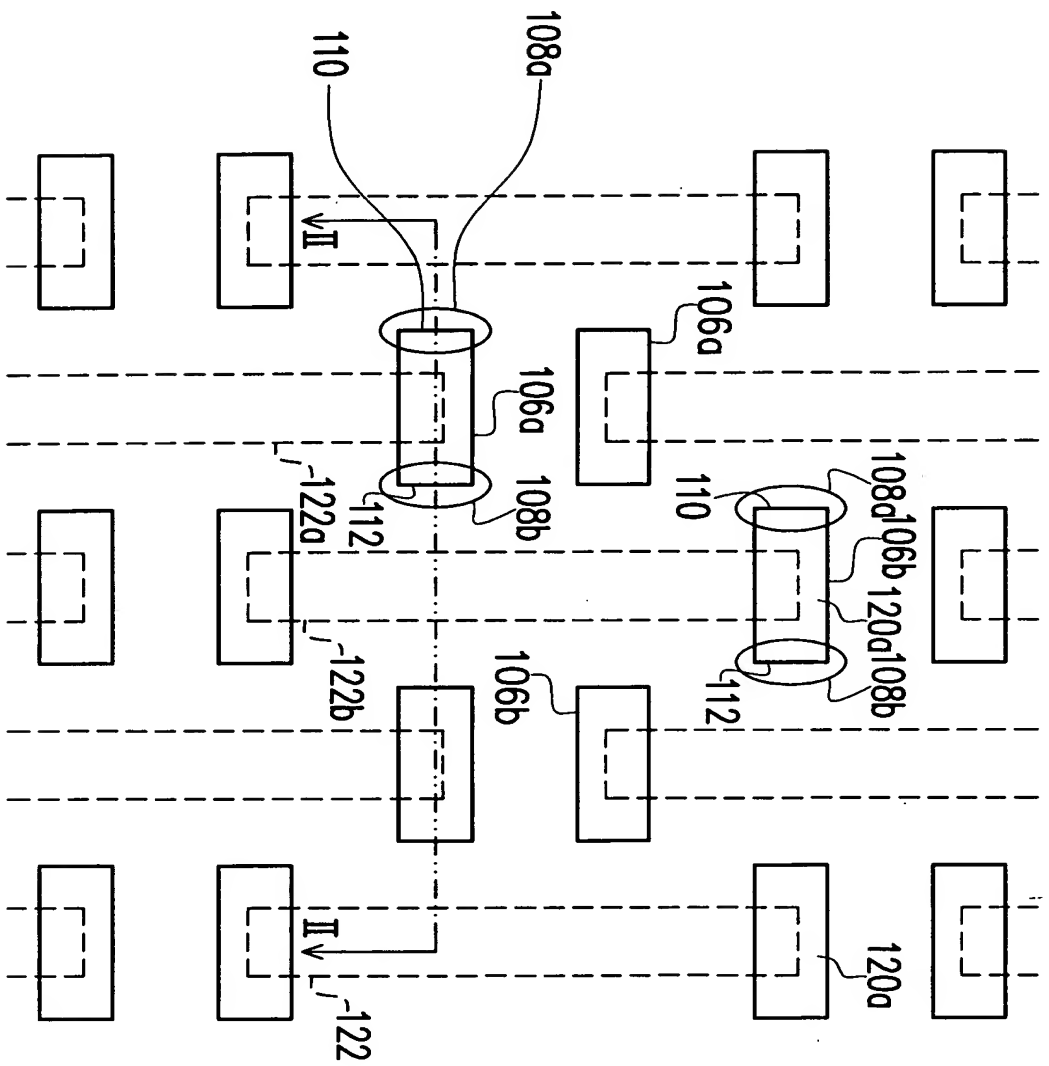
進行一部份移除步驟，以去除覆蓋在該基底上之該材料層以及該些深溝渠中之部分材料層。

20. 如申請專利範圍第19項所述之深溝渠式電容器之電極的製造方法，其中該部份移除步驟包括：

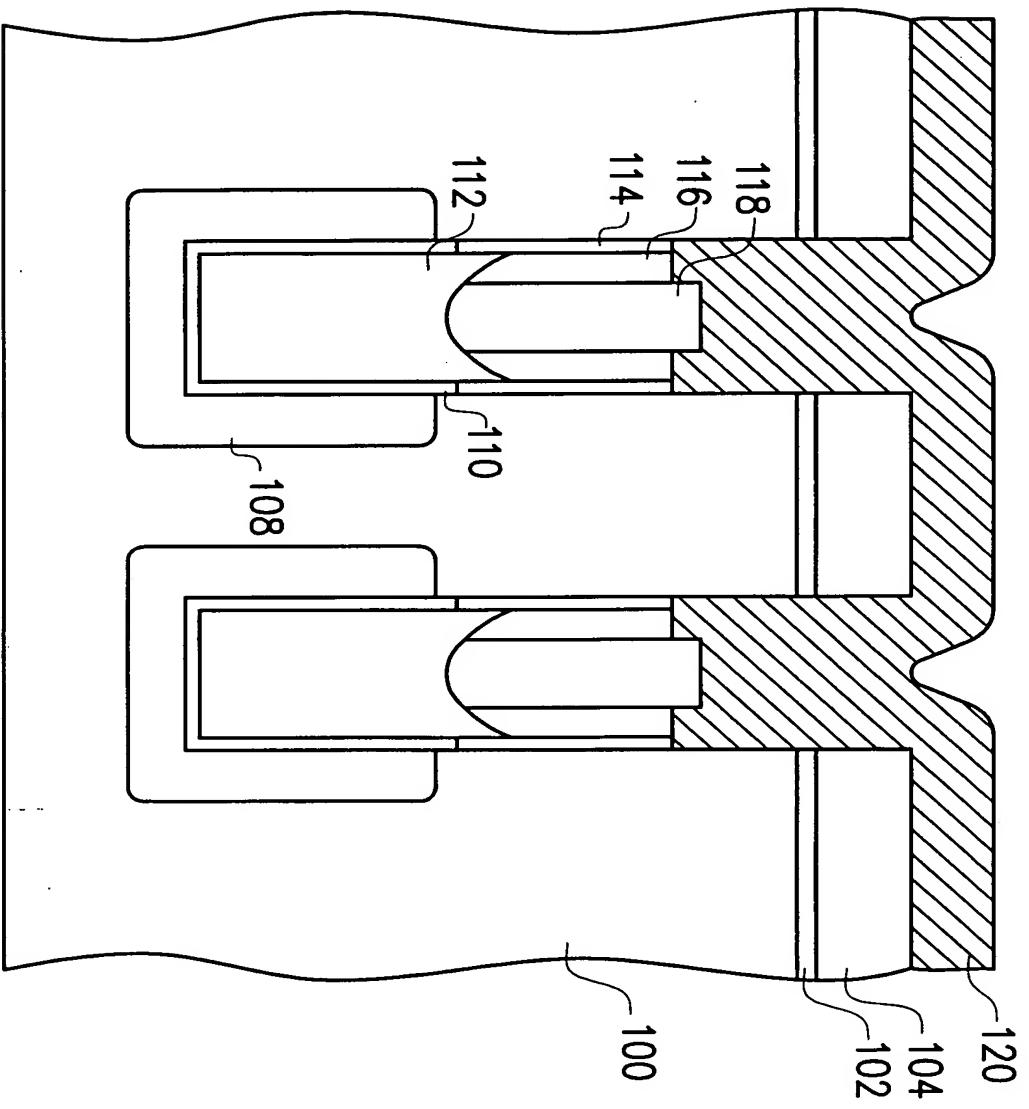
進行一化學機械研磨製程以去除覆蓋在該基底上之該材料層；以及

進行一回蝕刻製程，以移除該些深溝渠中之部分該材料層。

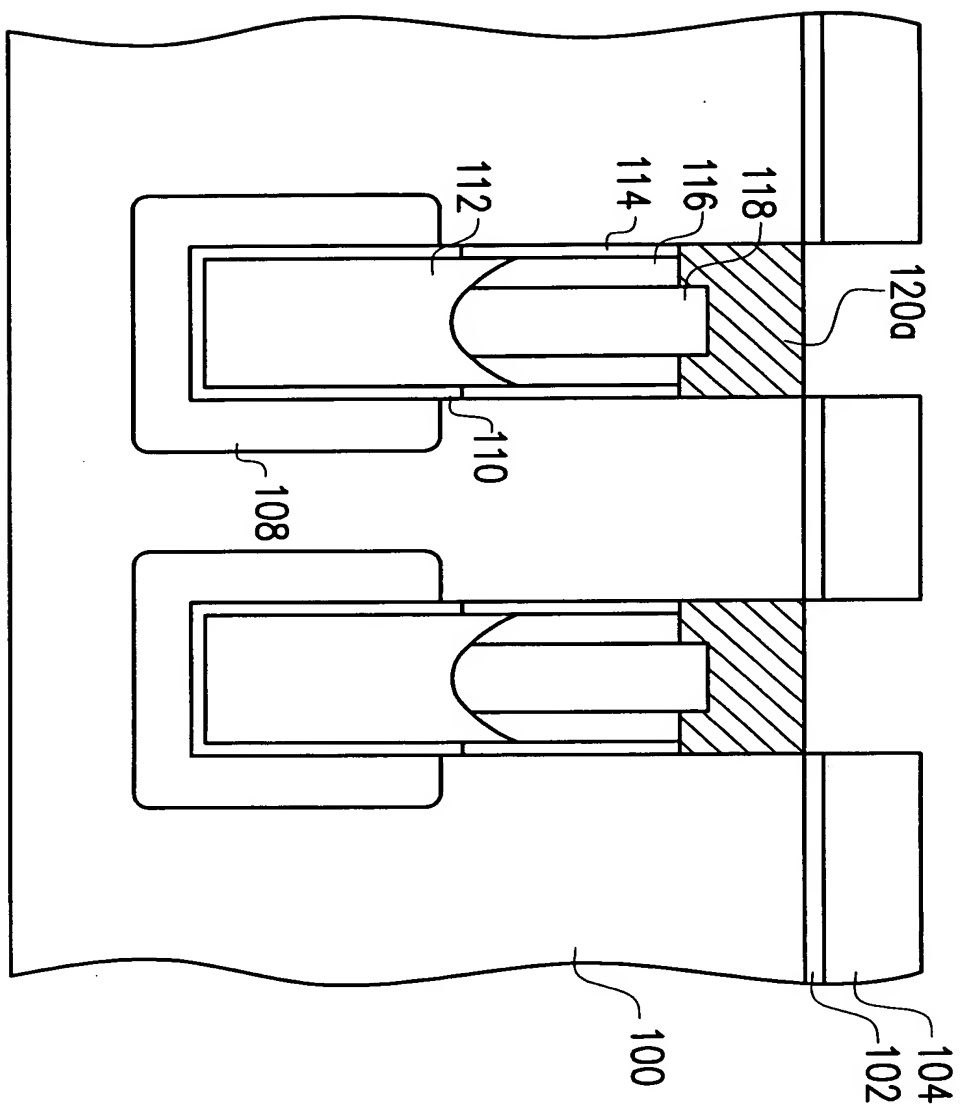




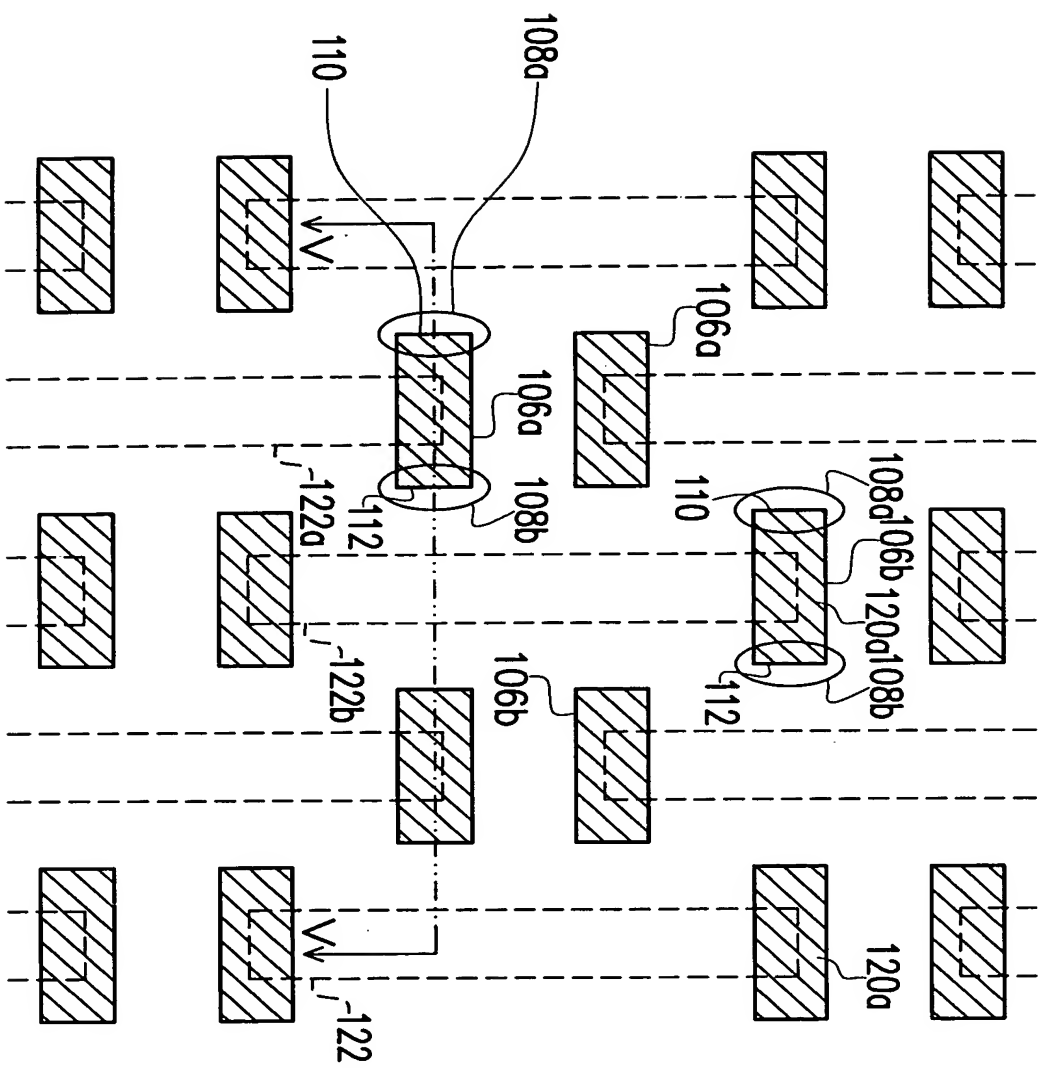
第 2 圖



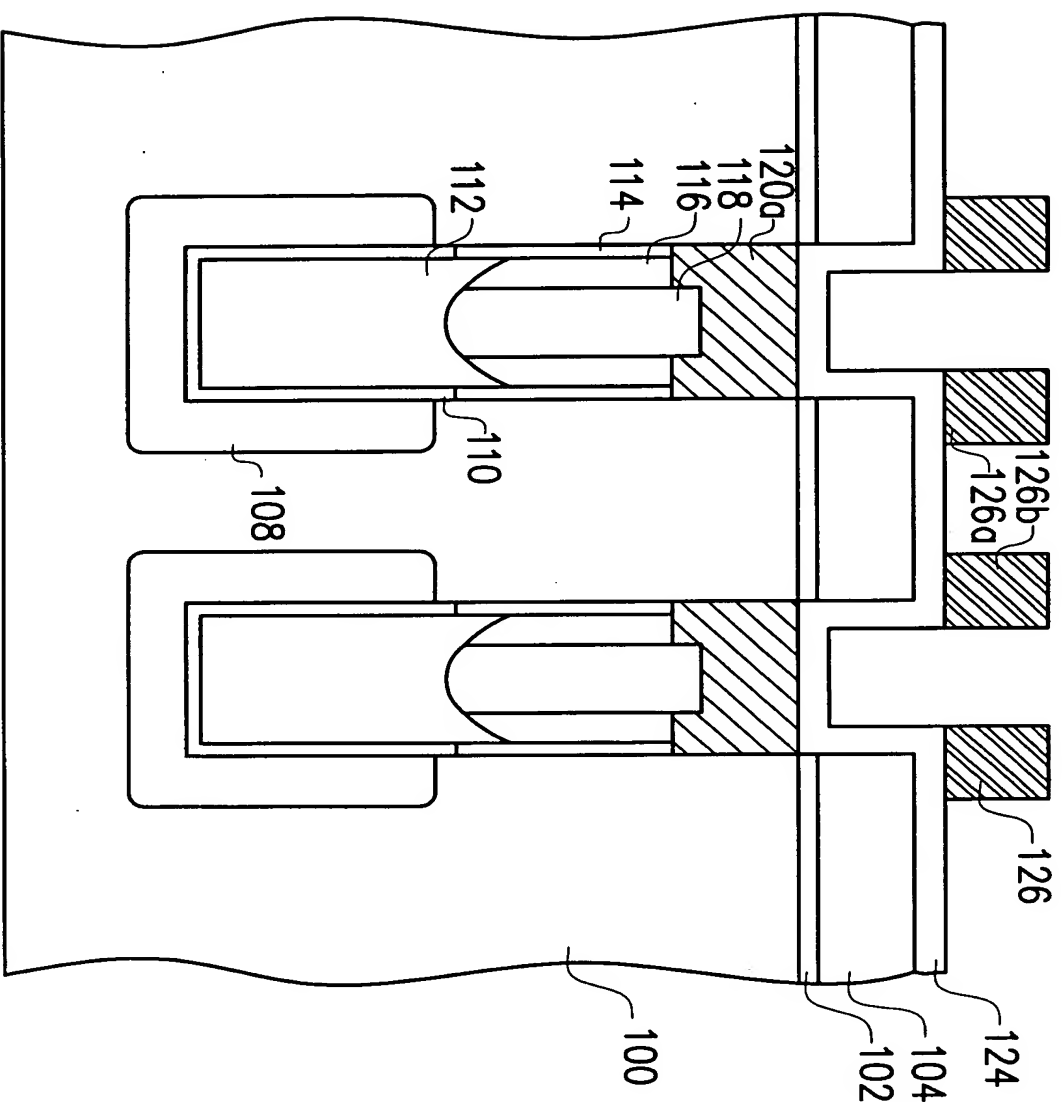
第 3 圖



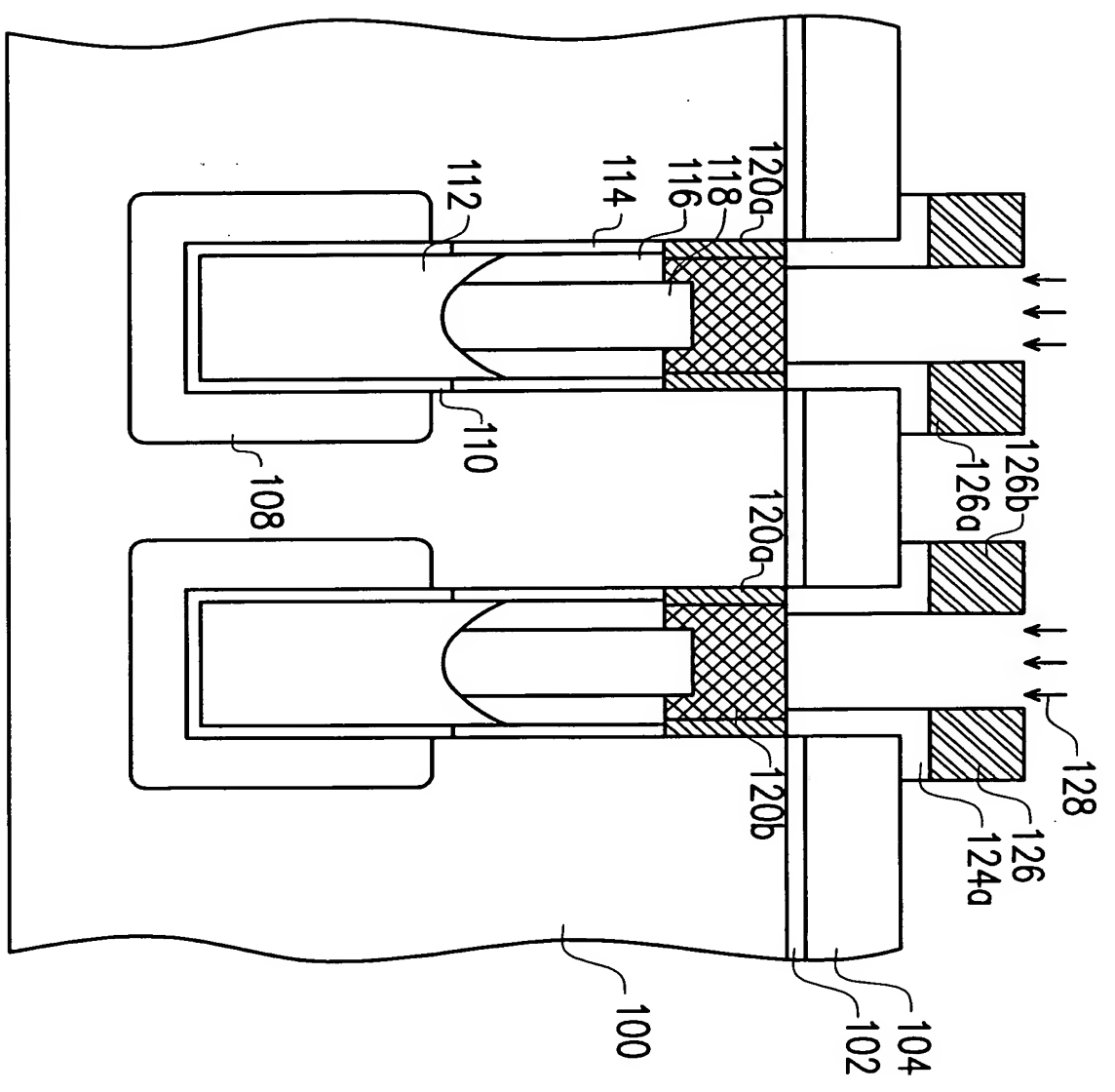
第 4 圖



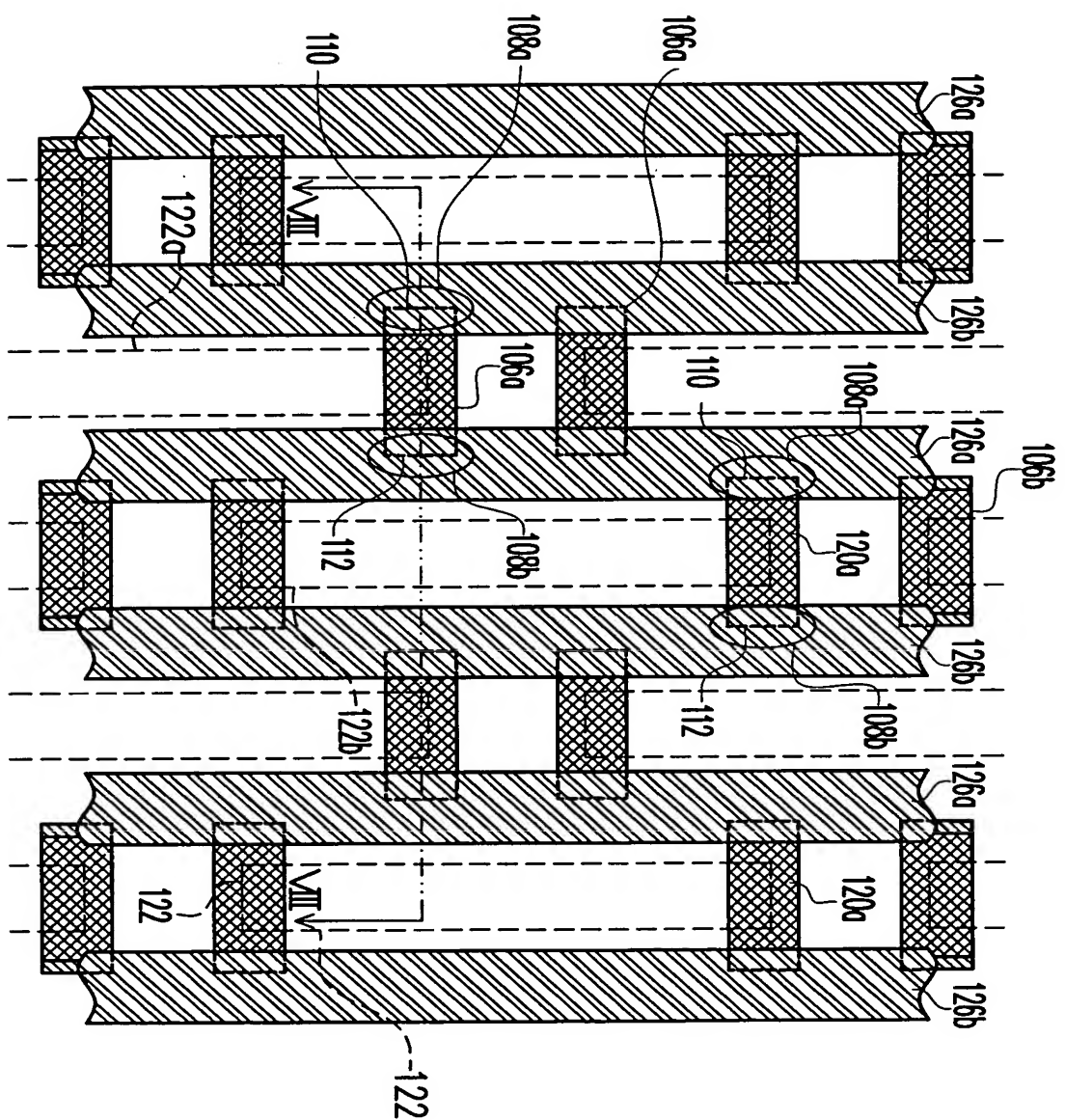
第 5 圖



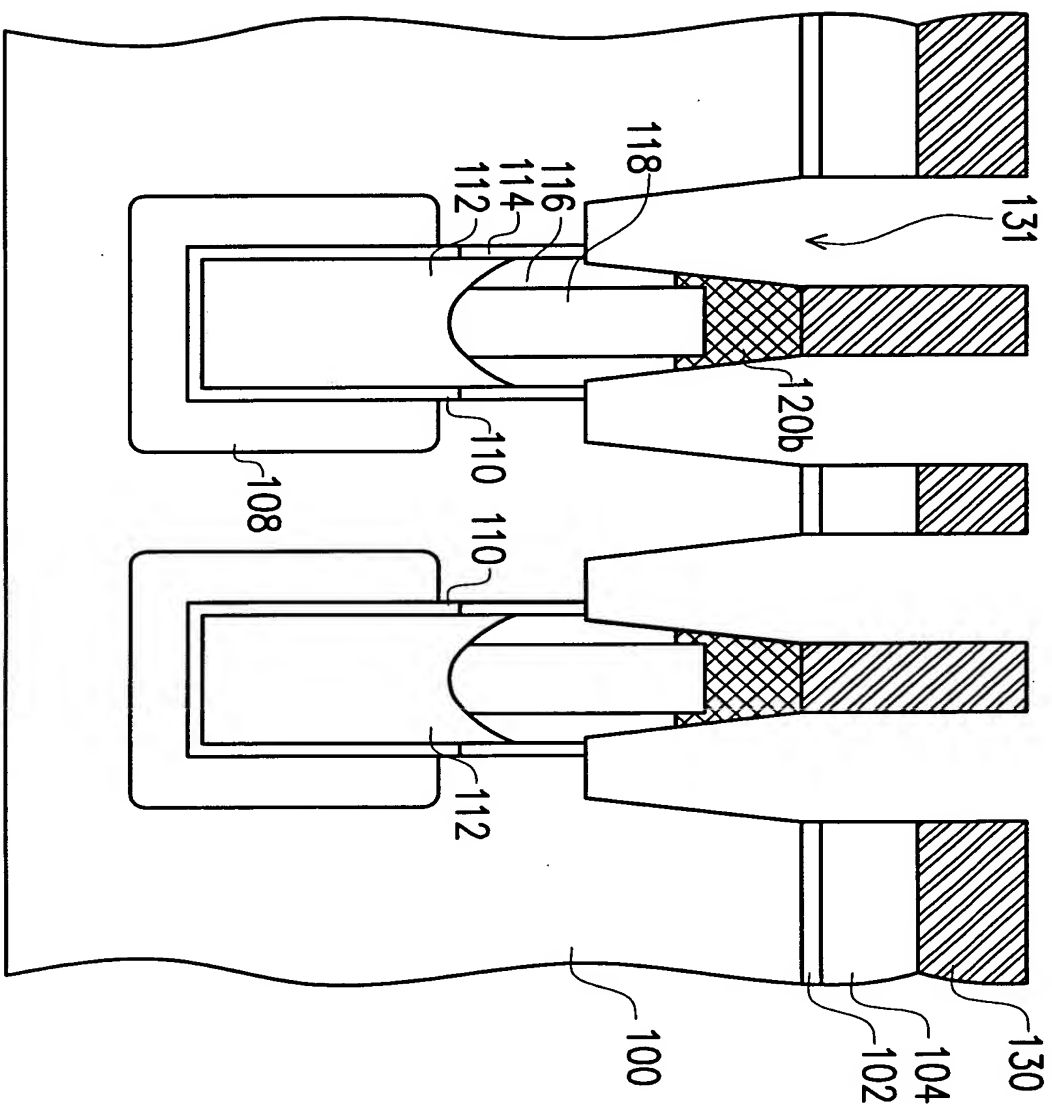
第 6 圖



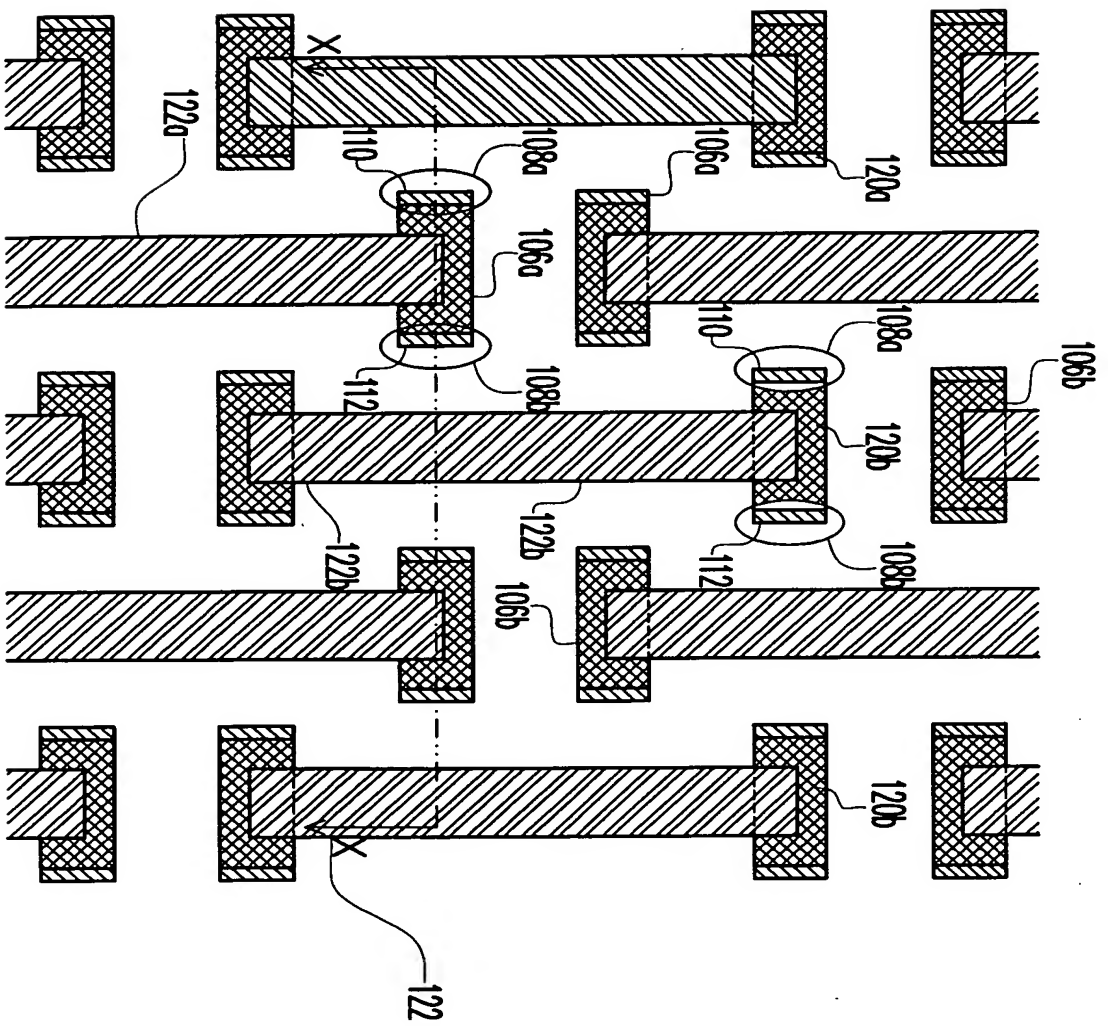
第 7 圖



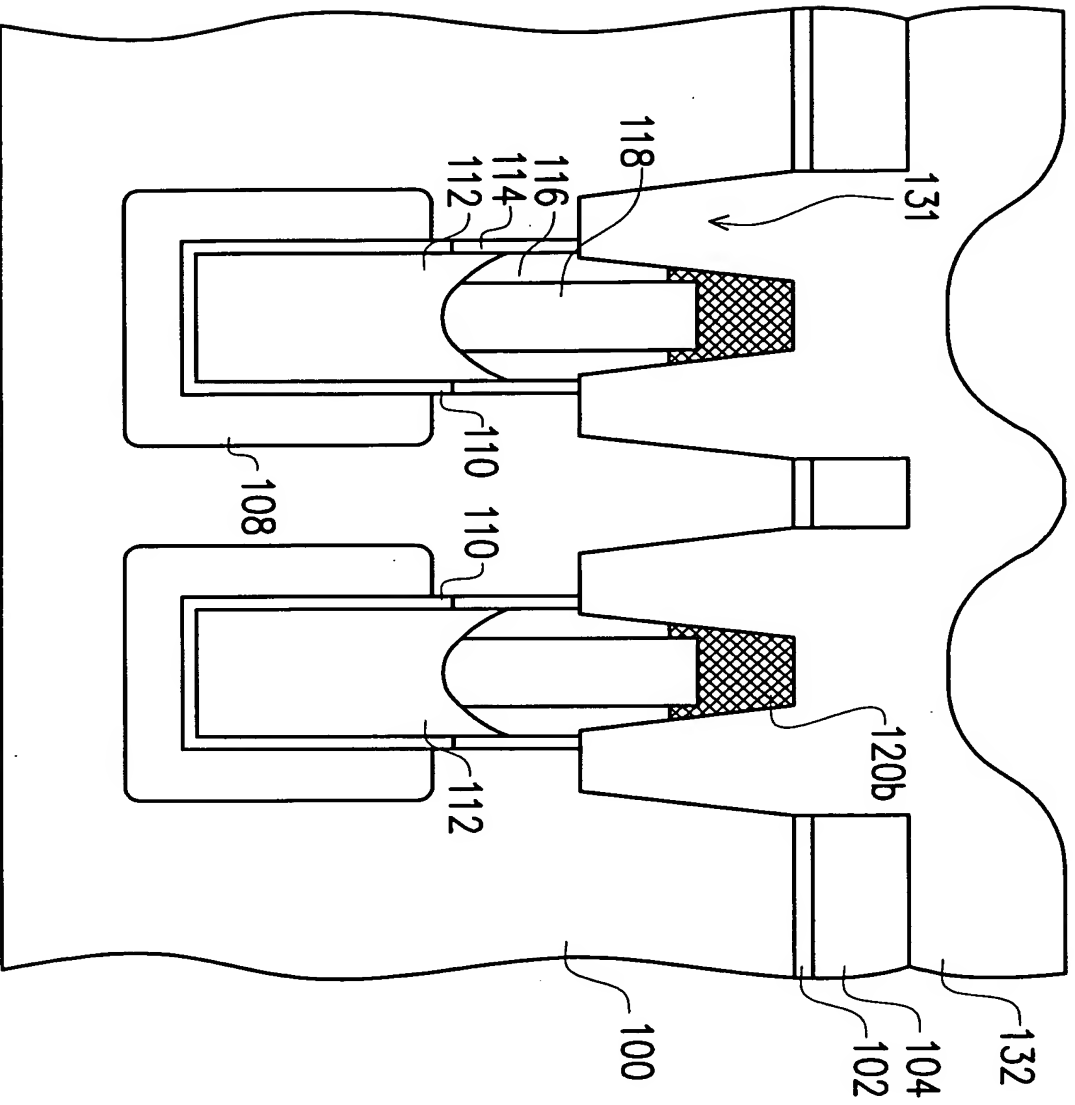
第 8 圖



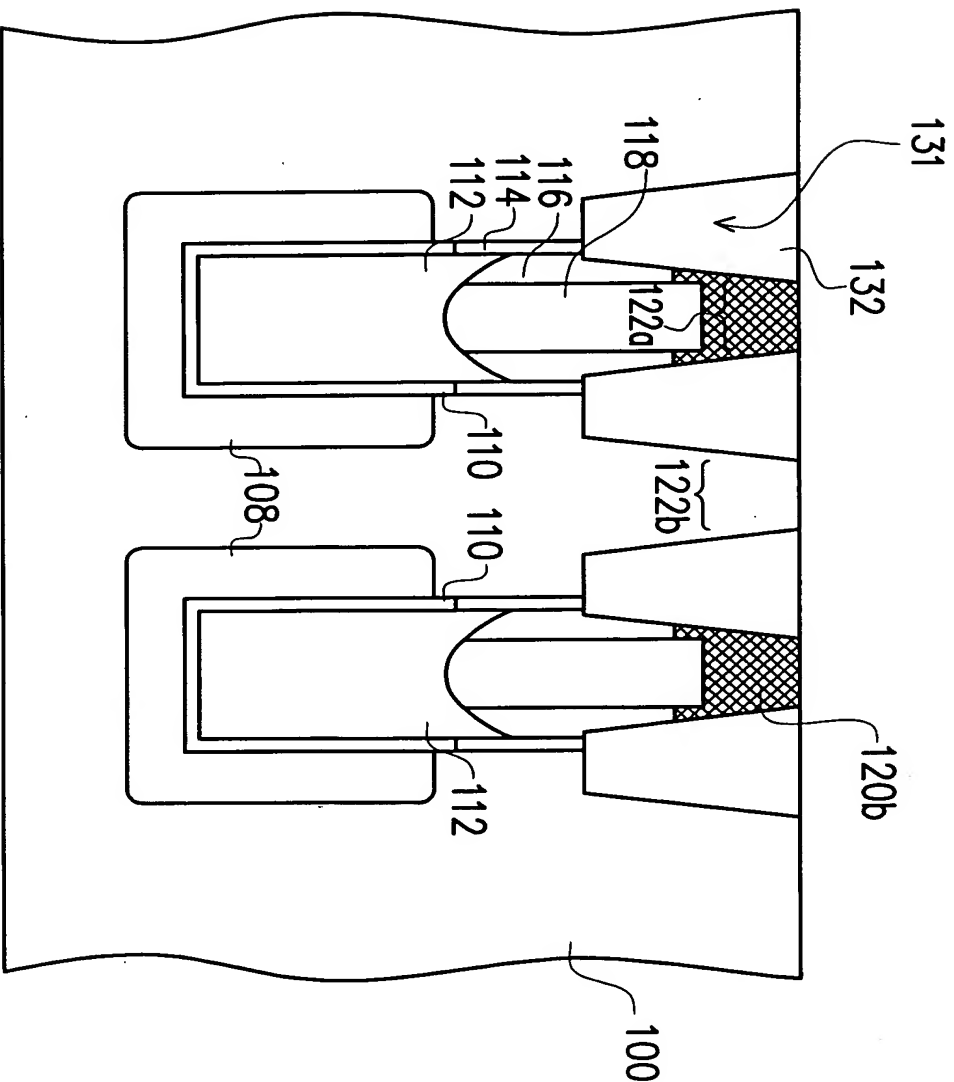
第 9 圖



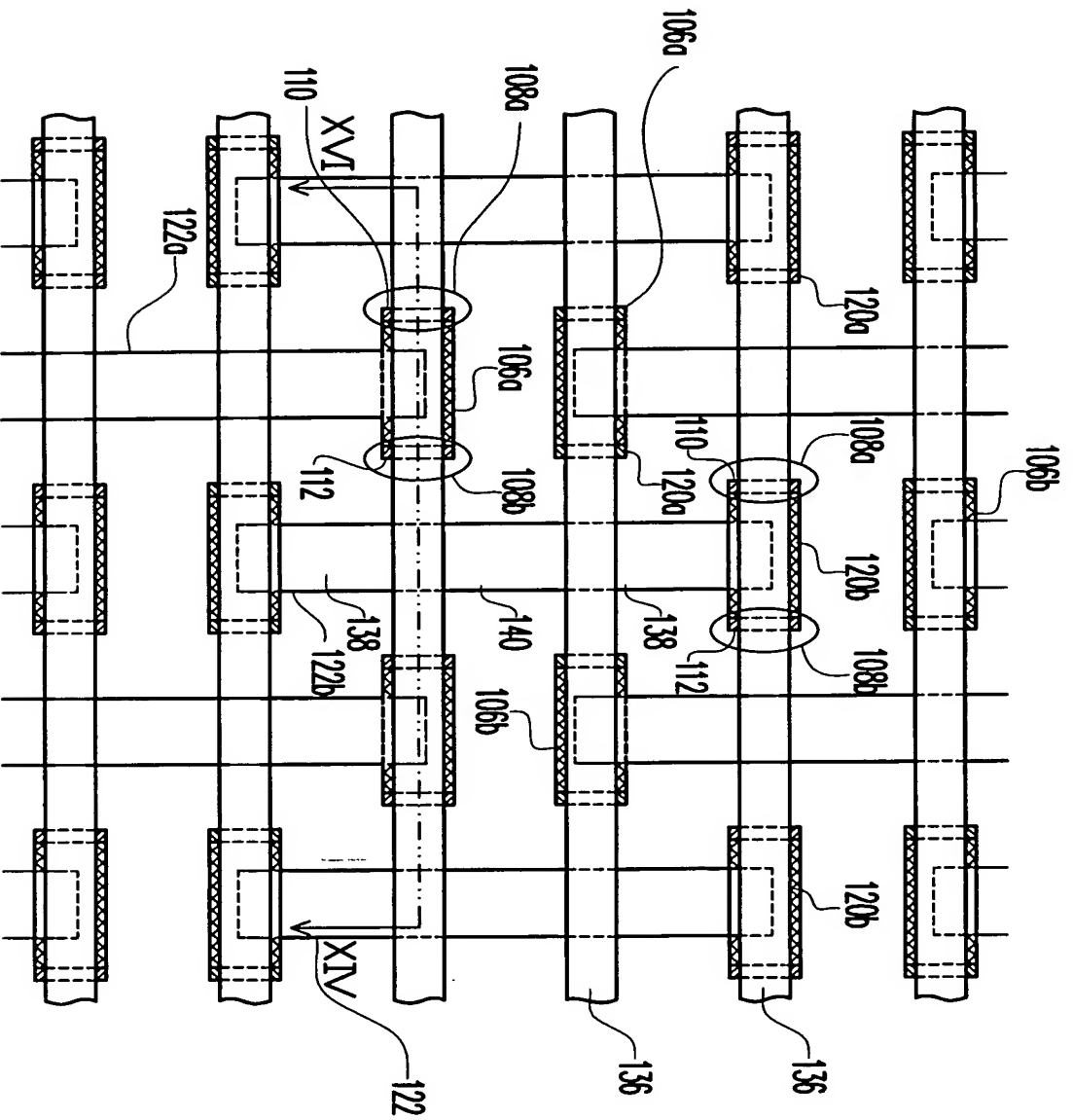
第10圖



第11圖

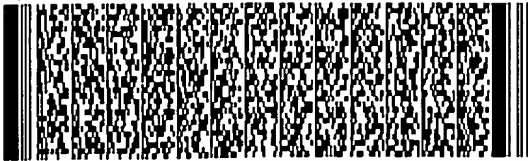


第12圖



第14圖

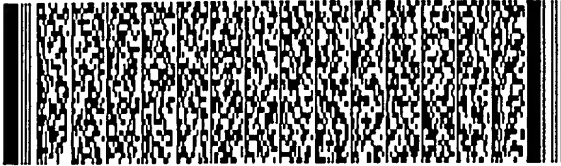
第 1/23 頁



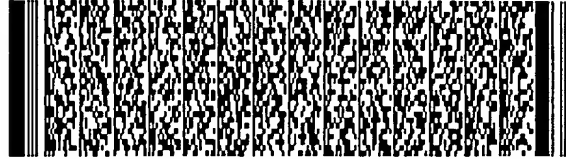
第 1/23 頁



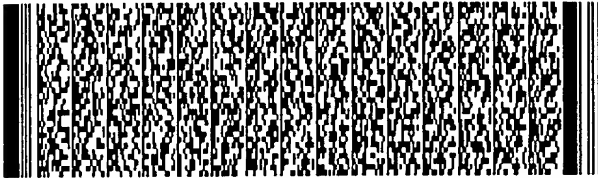
第 2/23 頁



第 2/23 頁



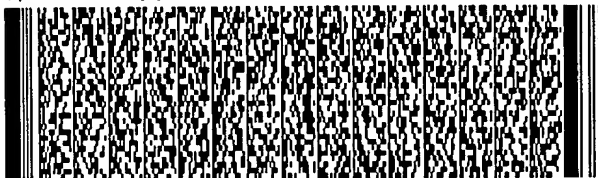
第 3/23 頁



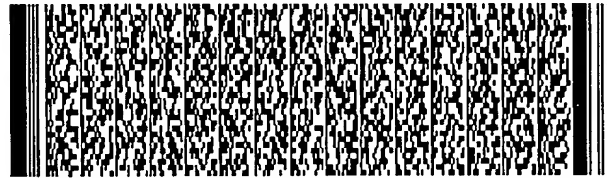
第 4/23 頁



第 5/23 頁



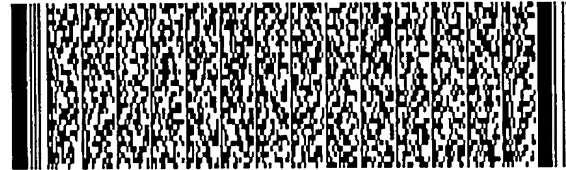
第 5/23 頁



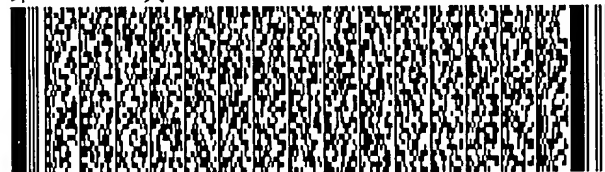
第 6/23 頁



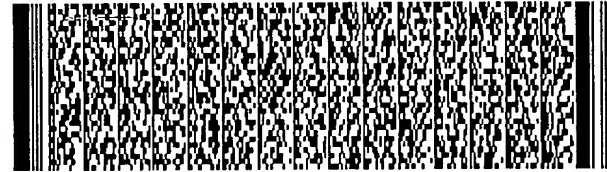
第 6/23 頁



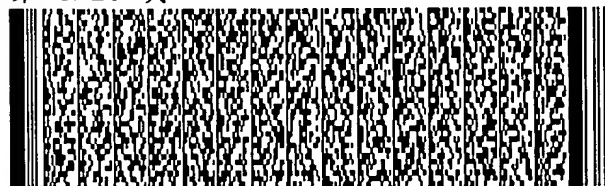
第 7/23 頁



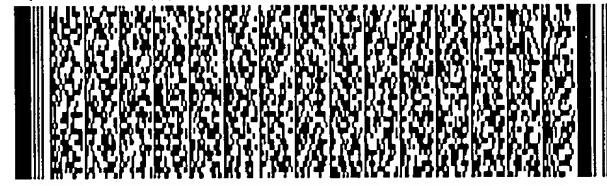
第 7/23 頁



第 8/23 頁



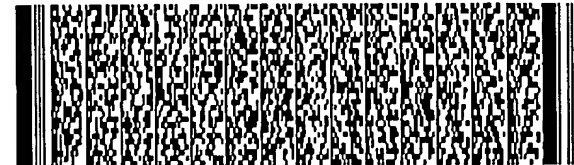
第 8/23 頁



第 9/23 頁



第 9/23 頁



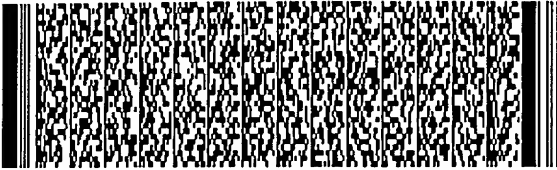
第 10/23 頁



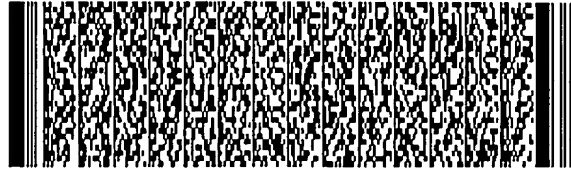
第 10/23 頁



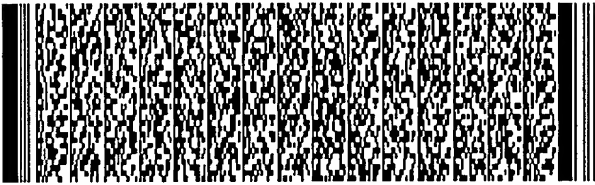
第 11/23 頁



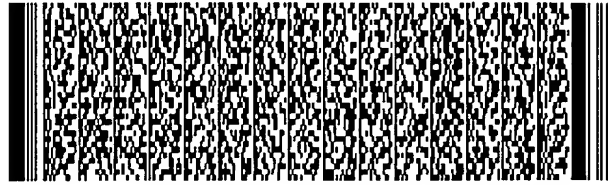
第 11/23 頁



第 12/23 頁



第 12/23 頁



第 13/23 頁



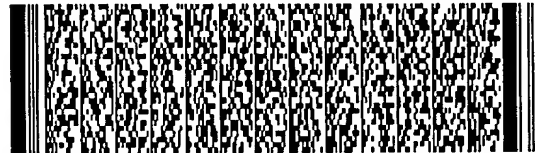
第 14/23 頁



第 15/23 頁



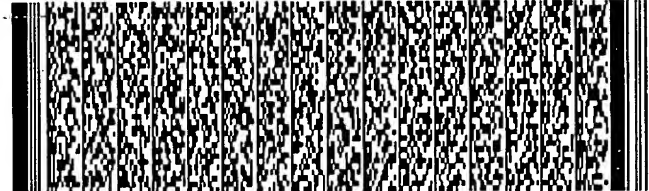
第 16/23 頁



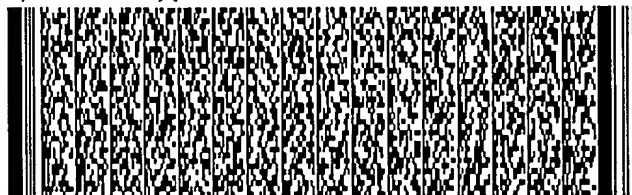
第 16/23 頁



第 17/23 頁



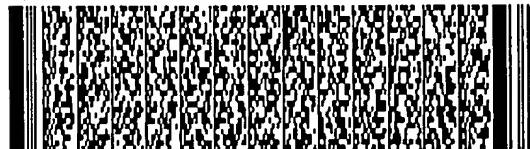
第 18/23 頁



第 19/23 頁



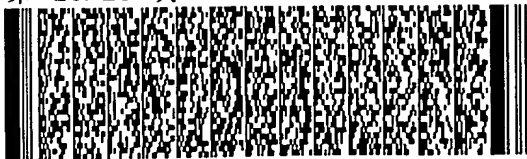
第 19/23 頁



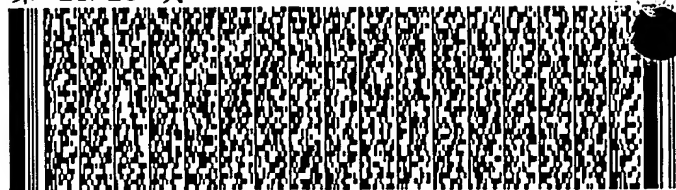
第 20/23 頁



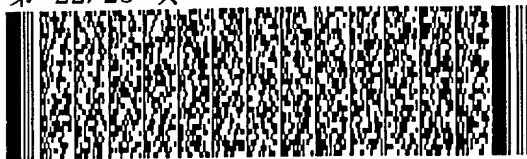
第 20/23 頁



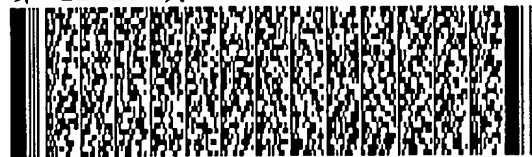
第 21/23 頁



第 22/23 頁



第 22/23 頁



第 23/23 頁

